

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

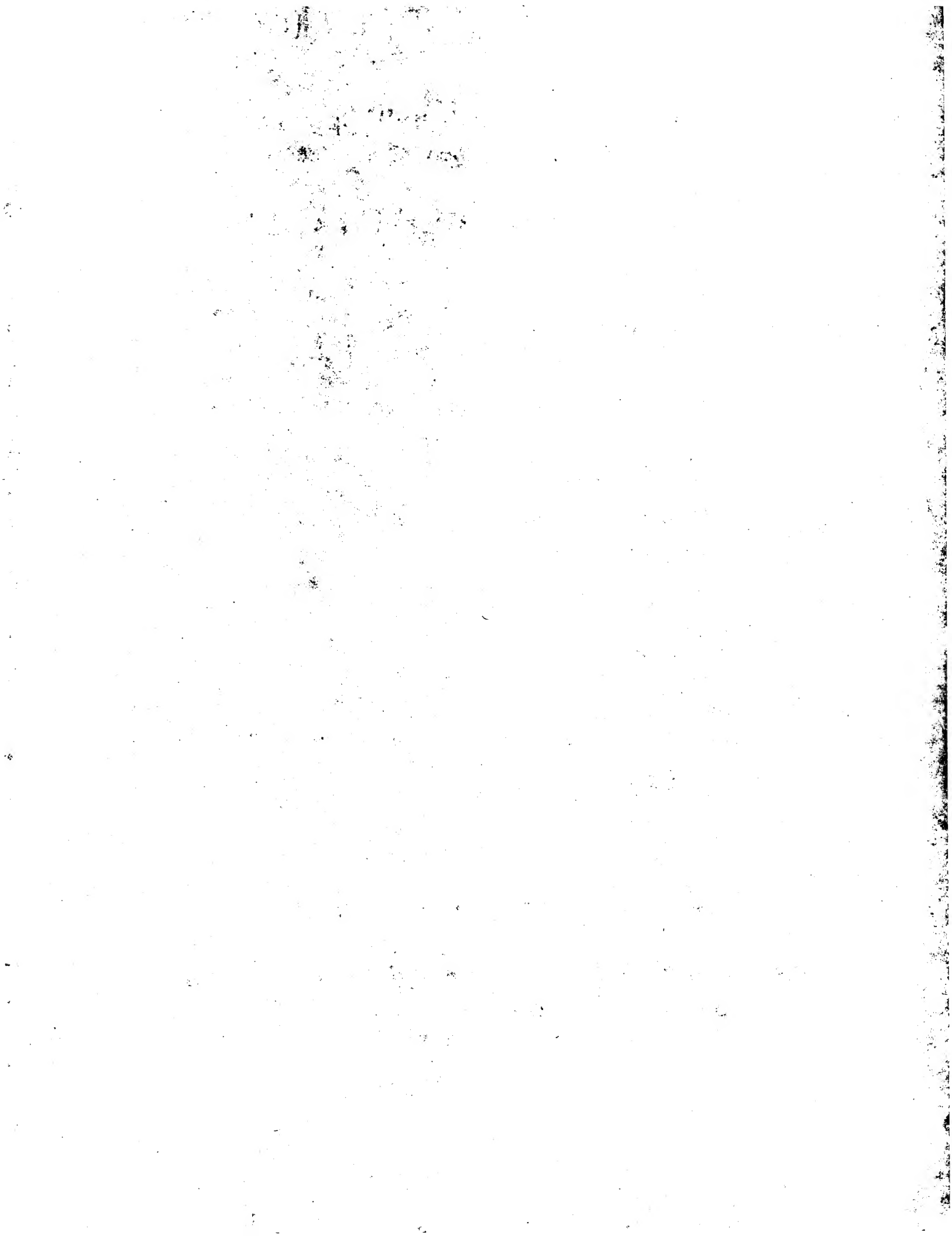
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**





**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425510.1

Der Präsident des Europäischen Patentamts:
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

4.

...

...

...

...

...

...

...

...

...

...



Anmeldung Nr.:
Application no.: 02425510.1
Demande no:

Anmeldetag:
Date of filing: 01.08.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

"Transition mode power factor correction device in switching power suppliers."

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H02M/

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR

“Dispositivo per la correzione del fattore di potenza in alimentatori a commutazione forzata operante in modo transizione.”

* * * * *

5 La presente invenzione si riferisce ad un dispositivo per la correzione del fattore di potenza in alimentatori a commutazione forzata operante in modo transizione.

10 E' generalmente noto l'utilizzo di dispositivi per la correzione attiva del fattore di potenza (PFC) per gli alimentatori a commutazione forzata utilizzati negli apparecchi elettronici di uso comune come computer, televisori, monitor, etc e per l'alimentazione delle lampade a fluorescenza, cioè di stadi pre-regolatori a commutazione forzata che hanno il compito di assorbire dalla rete una corrente pressoché sinusoidale ed in fase con la tensione di rete. Pertanto un alimentatore a commutazione forzata del tipo attuale comprende un PFC ed un convertitore DC-DC collegato all'uscita del PFC.

15 Un alimentatore a commutazione forzata del tipo tradizionale comprende un convertitore DC-DC ed uno stadio di ingresso connesso alla rete di distribuzione dell'energia elettrica costituito da un ponte raddrizzatore a diodi ad onda intera e da un condensatore connesso subito a valle in modo da produrre una tensione continua non regolata a partire dalla tensione alternata sinusoidale di rete. Il condensatore ha una capacità grande abbastanza perché ai suoi capi sia presente un'ondulazione relativamente piccola rispetto ad un livello continuo. I diodi rettificatori del ponte, quindi, condurranno solo per una piccola porzione di ciascun mezzo ciclo della tensione di rete, dato che il valore istantaneo di questa è inferiore alla tensione sul condensatore per la maggior parte del ciclo. Ne consegue che la corrente assorbita dalla rete sarà costituita da una serie di impulsi stretti la cui ampiezza è 5-10 volte il valore medio risultante.

25
30 Ciò presenta notevoli conseguenze: la corrente assorbita dalla linea ha valori di picco ed efficace molto maggiori rispetto al caso di assorbimento di

corrente sinusoidale, la tensione di rete viene distorta per effetto dell'assorbimento impulsivo quasi contemporaneo di tutte le utenze connesse alla rete, in caso di sistemi trifase la corrente nel conduttore neutro risulta aumentata di molto e si ha una scarsa utilizzazione delle potenzialità energetiche del sistema di produzione di energia elettrica. Infatti, la forma
5 d'onda di corrente impulsiva è molto ricca di armoniche dispari che, pur non contribuendo alla potenza resa al carico, contribuiscono ad aumentare la corrente efficace assorbita dalla rete e quindi ad aumentare la dissipazione di energia.

10 In termini quantitativi tutto ciò può essere espresso sia in termini di Fattore di Potenza (PF), inteso come rapporto fra la potenza reale (quella che l'alimentatore rende al carico più quella dissipata al suo interno sotto forma di calore) e la potenza apparente (il prodotto della tensione efficace di rete per la corrente efficace assorbita), sia in termini di Distorsione Armonica
15 Totale (THD), generalmente intesa come rapporto percentuale fra l'energia associata a tutte le armoniche di ordine superiore e quella associata all'armonica fondamentale. Tipicamente, un alimentatore con filtro capacitivo ha un PF compreso fra 0.4-0.6 e un THD superiore al 100%.

Un PFC, disposto fra il ponte raddrizzatore e l'ingresso del convertitore
20 DC-DC, consente di assorbire dalla rete una corrente pressoché sinusoidale ed in fase con la tensione, rendendo il PF prossimo a 1 e riducendo il THD.

I PFC generalmente comprendono un convertitore provvisto di un transistor di potenza e di un induttore accoppiato con esso ed un dispositivo di controllo accoppiato con il convertitore in modo da ottenere da una
25 tensione alternata di rete in ingresso una tensione continua regolata in uscita. Il dispositivo di controllo è capace di determinare il periodo di tempo di accensione T_{on} ed il periodo di tempo di spegnimento T_{off} del transistor di potenza; l'unione del periodo di tempo T_{on} e del periodo di tempo T_{off} dà il periodo di ciclo o periodo di commutazione del transistor di potenza.

30 Le tipologie circuitali PFC presenti in commercio sono essenzialmente

due che si differenziano per la diversa tecnica di controllo utilizzata: un controllo a modulazione di larghezza di impulso (PWM) a frequenza fissa in cui si ha una conduzione continua di corrente in un induttore dell'alimentatore ed il controllo PWM a frequenza variabile, detto anche "modo transizione" (TM) perché la corrente nell'induttore si azzer
5 esattamente alla fine di ciascun periodo di commutazione. Il controllo TM può essere operato sia controllando direttamente la corrente nell'induttore o controllando il periodo di tempo T_{on} . La tecnica di controllo a frequenza fissa fornisce prestazioni migliori ma utilizza una struttura circuitale
10 complessa mentre la tecnica TM richiede una struttura circuitale più semplice. La prima tecnica viene generalmente utilizzata con alte potenze in gioco mentre la seconda tecnica con potenze medio-basse, generalmente inferiori a 200W.

Nella figura 1 è schematicamente mostrato uno stadio pre-regolatore
15 PFC di tipo TM comprendente un convertitore boost 20 ed un dispositivo di controllo 1. Il convertitore boost 20 comprende un ponte raddrizzatore a diodi ad onda intera 2 avente in ingresso una tensione di rete V_{in} , un condensatore C1 (che serve da filtro per l'alta frequenza) avente un terminale connesso al ponte a diodi 2 e l'altro terminale connesso a massa,
20 un'induttanza L collegata ad un terminale del condensatore C1, un transistor MOS di potenza M avente il terminale di drain collegato ad un terminale dell'induttanza L a valle di quest'ultima ed avente il terminale di source connesso ad una resistenza R_s collegata a massa, un diodo D avente l'anodo connesso al terminale in comune dell'induttanza L e del transistor M ed il
25 catodo connesso ad un condensatore C_o avente l'altro terminale connesso a massa. Il convertitore boost 20 genera in uscita una tensione continua V_{out} sul condensatore C_o superiore alla massima tensione di picco di rete, tipicamente 400 V per sistemi alimentati con rete europea o ad alimentazione universale. Tale tensione V_{out} sarà la tensione di ingresso del
30 convertitore DC-DC connesso al PFC.

Il dispositivo di controllo 1 deve mantenere la tensione di uscita V_{out} ad un valore costante mediante un'azione di controllo in retroazione. Il dispositivo di controllo 1 comprende un amplificatore di errore 3 atto a confrontare una parte della tensione di uscita V_{out} , cioè la tensione V_r data da $V_r = R_2 \cdot V_{out} / (R_2 + R_1)$ (dove le resistenze R_1 e R_2 sono connesse in serie fra loro ed in parallelo al condensatore C_o) con una tensione di riferimento V_{ref} , ad esempio del valore di 2.5V, e genera un segnale errore proporzionale alla loro differenza. La tensione di uscita V_{out} presenta un'ondulazione ad una frequenza doppia di quella di rete e sovrapposta al valore continuo. Se tuttavia l'ampiezza di banda dell'amplificatore d'errore viene ridotta notevolmente (tipicamente inferiore a 20 Hz) mediante l'uso di un'opportuna rete di compensazione comprendente almeno un condensatore e assumiamo un funzionamento in regime quasi stazionario, ossia con tensione efficace di ingresso e carico in uscita costanti, tale ondulazione verrà grandemente attenuata e il segnale errore diventerà costante.

Il segnale errore S_e viene inviato ad un moltiplicatore 4 dove viene moltiplicato per un segnale V_i dato da una parte della tensione di rete rettificata dal ponte a diodi 2. All'uscita del moltiplicatore 4 sarà presente un segnale S_m dato da una sinusoide raddrizzata la cui ampiezza dipenderà, ovviamente, dalla tensione efficace di rete e dal segnale errore.

Il segnale S_m è inviato all'ingresso non invertente di un comparatore PWM 5 mentre sull'ingresso invertente insiste il segnale S_{rs} presente sulla resistenza R_s . Se i segnali S_{rs} e S_m sono uguali il comparatore 5 invia un segnale ad un blocco di controllo 6 atto al pilotaggio del transistor M che, in tal caso, provvede a spegnerlo. In tal modo il segnale di uscita S_m del moltiplicatore determina la corrente di picco del transistor M e questa sarà quindi involupata da una sinusoide raddrizzata. Un filtro posto all'ingresso dello stadio elimina la componente a frequenza di commutazione e fa sì che la corrente assorbita dalla rete abbia la forma dell'involuppo sinusoidale.

Dopo che il MOS è stato spento l'induttore scarica l'energia in esso

immagazzinata sul carico finché si svuota completamente. A questo punto, il diodo si apre e il nodo di drain del MOS rimane flottante, per cui la sua tensione tende a quella istantanea di ingresso attraverso delle oscillazioni di risonanza fra la capacità parassita del nodo e l'induttanza dell'induttore. Si assiste quindi ad una rapida diminuzione della tensione di drain che viene accoppiata al pin a cui è connesso un blocco rivelatore degli zeri di corrente 7, appartenente al blocco 6, attraverso l'avvolgimento ausiliario dell'induttore. Il blocco 6 comprende inoltre una porta OR 8 avente un ingresso collegato al blocco 7 e l'altro ingresso connesso ad uno starter 10, atto ad inviare un segnale alla porta OR 8 all'istante di tempo iniziale; il segnale di uscita S della porta OR 8 è l'ingresso set S di un flip-flop set-reset 11 avente un altro ingresso R che è il segnale in uscita al dispositivo 5, ed avente un segnale di uscita Q. Il segnale Q viene inviato in ingresso ad un driver 12 che comanda l'accensione o lo spegnimento del transistor M.

Un PFC assorbe una corrente quasi sinusoidale ma non perfettamente sinusoidale. Due sono le maggiori sorgenti della distorsione residua che tende a mantenere un THD non trascurabile. La prima è l'ondulazione a frequenza doppia di quella di rete sovrapposta al segnale S_e di livello continuo presente all'uscita dell'amplificatore d'errore, la quale introduce una distorsione di 3^a armonica nel riferimento di corrente generato dal moltiplicatore. La seconda è la distorsione d'incrocio, visibile come breve zona piatta nella forma d'onda della corrente di rete I_R , in corrispondenza degli zeri della tensione di rete che corrispondono ai valori minimi $VC1_{min}$ della tensione $VC1$ ai capi del condensatore $C1$, come visibile in figura 2 dove sono mostrati la corrente I_R e la tensione $VC1$ ai capi del condensatore $C1$ in due casi con $V_{in}=220V_{ac}$ e potenza di ingresso $P_{in}=80W$ (figura 2a) e $V_{in}=220V_{ac}$ e $P_{in}=40W$ (figura 2b). La distorsione di incrocio cresce al diminuire del carico del PFC e all'aumentare della tensione efficace di rete.

La causa di questa distorsione è da ricercarsi nel difetto di trasferimento di energia ingresso-uscita che si verifica in vicinanza degli zeri della

tensione di rete. In quella zona l'energia immagazzinata nell'induttore L è molto bassa, insufficiente a caricare la capacità parassita del nodo di drain del MOS fino alla tensione di uscita V_{out} (tipicamente 400V) in modo da consentire il passaggio di corrente attraverso il diodo D e trasferire l'energia dell'induttore L in uscita. Di conseguenza il diodo non viene acceso per un certo numero di cicli di commutazione e l'energia resta confinata nel circuito risonante composto dalla suddetta capacità parassita e dall'induttore L. Questo fenomeno, che viene accentuato dalla presenza del condensatore di filtro per l'alta frequenza C1 dopo il ponte raddrizzatore, è mostrato in dettaglio in figura 3 dove sono visibili la corrente I_R e la tensione V_{drain} in una zona in cui la corrente I_R è piatta.

In vista dello stato della tecnica descritto, scopo della presente invenzione è quello di fornire un dispositivo per la correzione del fattore di potenza in alimentatori a commutazione forzata operante in modo transizione che consenta di minimizzare la distorsione di incrocio.

In accordo con la presente invenzione, tale scopo viene raggiunto mediante un dispositivo per la correzione del fattore di potenza in alimentatori a commutazione forzata operante in modo transizione, comprendente un convertitore ed un dispositivo di controllo accoppiato con detto convertitore in modo da ottenere da una tensione alternata di rete in ingresso una tensione regolata sul terminale di uscita, detto convertitore comprendendo un transistor di potenza, detto dispositivo di controllo comprendendo un circuito di pilotaggio atto a determinare il periodo di tempo di accensione e di spegnimento di detto transistor di potenza, caratterizzato dal fatto che detto dispositivo di controllo comprende mezzi di controllo accoppiati a detto circuito di pilotaggio e a detto convertitore e capaci di allungare detto periodo di tempo di accensione del transistor di potenza in corrispondenza degli istanti di tempo in cui detta tensione alternata di rete assume sostanzialmente un valore nullo.

Preferibilmente detto convertitore comprende un circuito raddrizzatore

di detta tensione di rete in ingresso, detto dispositivo di controllo comprende un amplificatore di errore avente sull'ingresso invertente un primo segnale proporzionale a detta tensione regolata e sul terminale non invertente un segnale di riferimento e detto circuito di pilotaggio comprende un
5 moltiplicatore avente in ingresso un secondo segnale proporzionale alla tensione raddrizzata da detto circuito raddrizzatore ed un segnale errore in uscita da detto amplificatore di errore, un comparatore atto a confrontare un terzo segnale in uscita da detto moltiplicatore ed un quarto segnale proporzionale alla corrente che scorre in detto transistor di potenza, il quinto
10 segnale di uscita da detto comparatore essendo atto a determinare il periodo di tempo di accensione e di spegnimento di detto transistor di potenza, detti mezzi di controllo essendo atti ad elevare il valore di uno di detti terzo o quarto segnali in ingresso al comparatore in corrispondenza degli istanti di tempo in cui la tensione di rete ha un valore sostanzialmente nullo.

15 Le caratteristiche ed i vantaggi della presente invenzione risulteranno evidenti dalla seguente descrizione dettagliata di una sua forma di realizzazione pratica, illustrata a titolo di esempio non limitativo negli uniti disegni, nei quali:

la figura 1 è uno schema circuitale di un PFC in modo transizione per
20 un alimentatore a commutazione forzata secondo l'arte nota;

le figure 2a, 2b mostrano diagrammi ottenuti in un oscilloscopio che riportano la corrente di rete e la tensione di rete raddrizzata presa ai capi della capacità posta subito dopo il ponte raddrizzatore del PFC di figura 1 con diverse potenze in ingresso;

25 la figura 3 mostra, nell'intorno di uno zero della tensione di rete, la corrente di rete e la tensione sul terminale di drain del transistor MOS del PFC di figura 1;

la figura 4 è uno schema circuitale di un PFC in modo transizione per un alimentatore a commutazione forzata secondo la presente invenzione;

30 la figura 5 è uno schema circuitale di un PFC in modo transizione per

un alimentatore a commutazione forzata secondo una prima forma di realizzazione della presente invenzione;

5 le figure 6a, 6b mostrano diagrammi ottenuti in un oscilloscopio che riportano la corrente di rete e la tensione di rete raddrizzata presa ai capi della capacità posta subito dopo il ponte raddrizzatore del PFC di figura 5 con diverse potenze in ingresso;

la figura 7 mostra, nell'intorno di uno zero della tensione di rete, la corrente di rete e la tensione sul terminale di drain del transistor MOS del convertitore del PFC di figura 5;

10 le figure 8a-8b mostrano il valore in percentuale del THD per il PFC di figura 1 e per il PFC di figura 5 con diverse potenze in uscita;

la figura 9 è uno schema a blocchi di un circuito di un PFC in modo transizione per un alimentatore a commutazione forzata secondo una seconda forma di realizzazione della presente invenzione;

15 la figura 10 mostra le forme d'onda di segnali significativi del circuito di figura 9;

le figure 11a-11b mostrano schemi circuitali del moltiplicatore di figura 1 e del circuito di figura 9;

20 le figure 12a, 12b mostrano diagrammi ottenuti in un oscilloscopio che riportano la corrente di rete e la tensione di rete raddrizzata presa ai capi della capacità posta subito dopo il ponte raddrizzatore del PFC secondo la seconda forma di realizzazione della presente invenzione con diverse potenze in ingresso;

25 la figura 13 mostra, nell'intorno di uno zero della tensione di rete, la corrente di rete e la tensione sul terminale di drain del transistor MOS del convertitore del PFC secondo la seconda forma di realizzazione della presente invenzione;

30 la figura 14 è uno schema di un altro circuito di un PFC in modo transizione per un alimentatore a commutazione forzata secondo una variante alla seconda forma di realizzazione della presente invenzione.

Nella figura 4 è mostrato un PFC per un alimentatore a commutazione forzata operante in modo transizione secondo l'invenzione; gli elementi uguali al circuito di figura 1 saranno indicati con gli stessi riferimenti. Il PFC comprende un convertitore boost 20 provvisto di un ponte raddrizzatore a diodi ad onda intera 2 avente in ingresso una tensione di rete V_{in} , un condensatore C1 avente un terminale connesso al ponte a diodi 2 e l'altro terminale connesso a massa, un'induttanza L collegata ad un terminale del condensatore C1, un transistor MOS di potenza M avente il terminale di drain collegato ad un terminale dell'induttanza L a valle di quest'ultima ed avente il terminale di source collegato ad una resistenza R_s connessa a massa, un diodo D avente l'anodo connesso al terminale in comune dell'induttanza L e del transistor M ed il catodo connesso ad un condensatore C_o avente l'altro terminale connesso a massa. Il convertitore boost 20 genera in uscita una tensione continua V_{out} superiore alla massima tensione di picco di rete, tipicamente 400 V per sistemi alimentati con rete europea o ad alimentazione universale.

Il PFC comprende un circuito di controllo 100 atto a mantenere la tensione di uscita V_{out} ad un valore costante mediante un'azione di controllo in retroazione. Il circuito di controllo 100 comprende un amplificatore di errore 3 atto a confrontare una parte della tensione di uscita V_{out} , cioè la tensione V_r data da $V_r = R_2 * V_{out} / (R_2 + R_1)$ (dove le resistenze R_1 e R_2 sono connesse in serie fra loro ed in parallelo al condensatore C_o) con una tensione di riferimento V_{ref} , ad esempio del valore di 2.5V, e genera un segnale errore proporzionale alla loro differenza. La tensione di uscita V_{out} presenta un'ondulazione una frequenza doppia di quella di rete e sovrapposta al valore continuo. Se tuttavia l'ampiezza di banda dell'amplificatore d'errore viene ridotta notevolmente (tipicamente inferiore a 20 Hz) mediante l'uso di un'opportuna rete di compensazione comprendente un condensatore ed assumiamo un funzionamento in regime quasi stazionario, ossia con tensione efficace di ingresso e carico in uscita

costanti, tale ondulazione verrà grandemente attenuata ed il segnale errore diventerà costante.

Il segnale errore Se è inviato in ingresso ad un blocco di controllo 51
avente in ingresso anche un segnale Vi proporzionale alla tensione di rete
5 V_{in} raddrizzata dal ponte a diodi 2, un segnale S rappresentativo dello stato
di magnetizzazione dell'induttanza L ed un segnale S_{rs} proporzionale alla
corrente che scorre nel transistor M . Il blocco 51 comprende il moltiplicatore
4, il comparatore PWM 5 ed il blocco di controllo 6 ed è atto a determinare
il periodo di tempo di accensione T_{on} ed il periodo di tempo di spegnimento
10 T_{off} del transistor MOS M .

Un blocco circuitale 50 secondo l'invenzione ha in ingresso i segnali Vi
e/o Se ed invia un segnale $Contr$ che consente di allungare il periodo di
tempo di accensione T_{on} del transistor M in prossimità degli zeri della
tensione di rete V_{in} , cioè quando la tensione di rete assume il valore di
15 qualche Volt (ad esempio 2V), un valore che si può considerare nullo in
confronto al valore di picco della tensione di rete.

Nella figura 5 è mostrato un PFC per un alimentatore a commutazione
forzata operante in modo transizione secondo una prima forma di
realizzazione della presente invenzione; gli elementi uguali ai circuiti di
20 figura 1 e 4 saranno indicati con gli stessi riferimenti. Nella figura 5 il
blocco 51 è stato esplicitato e comprende il moltiplicatore 4 avente in
ingresso i segnali Vi e Se ed inviante un segnale S_m all'ingresso non
invertente di un comparatore PWM 5 il cui segnale di uscita è in ingresso al
blocco 6. Nell'ingresso invertente del comparatore 5 è presente il segnale
25 $Contr$ in uscita dal blocco 50.

Quest'ultimo comprende una resistenza R_a connessa da una parte al
terminale di source del transistor M ed ad un terminale della resistenza R_s e
dall'altra parte all'ingresso invertente del comparatore 5 in modo da riportare
all'ingresso invertente del comparatore il segnale S_{rs} . Il blocco 50
30 comprende anche una resistenza R_b connessa ad un capo con l'ingresso

invertente del comparatore 5 e dall'altro capo con l'anodo di un diodo D_i e con un condensatore C_i avente l'altro suo terminale connesso a massa. Il catodo del diodo D_i è connesso all'avvolgimento ausiliario L_1 dell'induttore L .

5 Durante il periodo di tempo di accensione T_{on} del transistor MOS M , quando la tensione ai capi dell'avvolgimento ausiliario L_1 è negativa, il diodo D_i consente la carica del condensatore C_i . In tal modo si ha una tensione negativa sul nodo P proporzionale alla tensione efficace di rete e dipendente dal rapporto spire dell'avvolgimento ausiliario L_1 . Tramite la
10 resistenza R_b si ha una tensione negativa, cioè un offset di tensione negativa, in aggiunta sul nodo invertente del comparatore 5 al segnale S_{rs} .

 Una resistenza R_c può essere inserita fra l'uscita dell'amplificatore di errore 3 e l'ingresso invertente del comparatore 5; in tal modo si ha una variazione dell'offset di tensione negativa al variare del carico in uscita dato
15 che il segnale di tensione S_e ha un valore che si abbassa in corrispondenza di un innalzamento della tensione di ingresso V_{in} e di una diminuzione del carico.

 Questa soluzione produce un offset di tensione negativa durante un semiperiodo della tensione di rete V_{in} , tuttavia il valore di detta tensione
20 V_{in} in istanti di tempo diversi dagli istanti in cui detta tensione è prossima a zero è molto alta e l'offset di tensione non incide sostanzialmente.

 Per realizzare preferibilmente una modulazione di detto offset con il valore istantaneo della tensione di rete in modo che esso diventi meno negativo quando si è lontani dagli istanti di tempo in cui la tensione di rete
25 V_{in} assume un valore nullo, si dovrebbe aggiungere una componente di tensione positiva a detto offset che sia nulla in prossimità di detti zeri della tensione di rete V_{in} . Ciò può essere fatto prelevando il segnale V_i in ingresso al moltiplicatore 4 tramite la resistenza R_d e riportandolo all'ingresso invertente del comparatore 5.

30 L'offset di tensione negativa influisce sul segnale in uscita dal

comparatore 5 in modo da determinare un allungamento del periodo di tempo di accensione T_{on} del transistor MOS M.

5 Per tarare il circuito si può rendere fissa una delle due resistenze R_a e R_b e variare l'altra; la taratura deve essere fatta con la tensione di rete V_{in} al valore massimo, cioè nelle condizioni in cui, generalmente, il THD è massimo in modo da determinare per quale valore di resistenza complessiva si ha il minimo THD.

Gli effetti della correzione apportata dal circuito 50 di figura 5 sono visibili nelle figure 6a, 6b e 7.

10 Le figure 6a, 6b mostrano diagrammi ottenuti in un oscilloscopio che riportano la corrente di rete I_R e la tensione V_{C1} ai capi della capacità $C1$ con rispettivamente una tensione $V_{in}=220VAC$ ed una potenza $P_{in}=80W$, e con una tensione $V_{in}=220VAC$ ed una potenza $P_{in}=40W$.

15 La figura 7 mostra, nell'intorno di uno zero della tensione di rete, la corrente di rete I_R e la tensione V_{drain} sul terminale di drain del transistor MOS M.

20 Le figure 8a e 8b mostrano i valori della distorsione armonica totale THD1 e THD2 rispettivamente per il circuito di figura 1 e per il circuito di figura 5 con potenza di uscita $P_{out}=80W$ (figura 8a) e potenza di uscita $P_{out}=40W$ (figura 8b).

25 Nella figura 9 è mostrato uno schema a blocchi di un circuit di un PFC per un alimentatore a commutazione forzata operante in modo transizione secondo una seconda forma di realizzazione della presente invenzione. Detto circuito comprende il blocco 50 di figura 4 ed il moltiplicatore 4 che ha in ingresso i segnali V_i e S_e e fornisce in uscita il segnale S_m ; il segnale $Contr$ in uscita al blocco 50 viene inviato all'ingresso non invertente del comparatore 5.

30 Il blocco 50 consente di aggiungere un offset di tensione positiva al segnale S_m in uscita al moltiplicatore 4 solo durante gli istanti di tempo in cui la tensione di rete V_{in} ha un valore prossimo a zero. L'offset di tensione

positiva deve essere più alto quanto più alta è la tensione di rete V_{in} e quanto più basso è il carico in uscita. L'offset di tensione positiva è realizzato aggiungendo al segnale S_m in uscita dal moltiplicatore 4 una piccola porzione del segnale presente ad uno dei suoi ingressi, cioè una porzione del segnale V_i o una porzione del segnale S_e , in modo da ottenere il segnale $Contr$ che viene inviato all'ingresso non invertente del comparatore 5. E' anche possibile realizzare l'offset di tensione positivo aggiungendo porzioni di entrambi i segnali S_e e V_i al segnale S_m per ottenere il segnale $Contr$.

10. Il segnale V_i viene sottratto ad un segnale A_2 di valore costante nel tempo ed il segnale risultante viene moltiplicato per una costante K_2 in modo da ottenere il segnale V_{i1} che viene aggiunto al segnale S_m per ottenere il segnale $Contr$.

15. In alternativa o in aggiunta il segnale S_e viene sottratto ad un segnale A_1 di valore costante nel tempo ed il segnale risultante viene moltiplicato per una costante K_1 in modo da ottenere il segnale S_{e1} che viene aggiunto al segnale S_m per ottenere il segnale $Contr$.

20. In figura 10 sono mostrate le forme d'onda temporali dei segnali S_e , V_i , S_m e $Contr$; quest'ultimo differisce dal segnale S_m soprattutto per il fatto che non assume mai un valore nullo.

25. Le figure 11a-11b mostrano schemi di una possibile realizzazione circuitale del moltiplicatore 4 di figura 1 e del circuito di figura 9 comprendente il moltiplicatore 4 ed il blocco 50. Il moltiplicatore di figura 11a comprende uno stadio di ingresso provvisto di un primo ed un secondo stadio differenziale. Il primo stadio differenziale comprende due transistor bipolari pnp aventi i terminali di collettore accoppiati ad una tensione di alimentazione V_{DD} e connessi ad un generatore di corrente I_1 ed i terminali di emettitore connessi a massa, ed il secondo stadio differenziale comprende due transistor bipolari pnp aventi i terminali di collettore accoppiati ad una
30. tensione di alimentazione V_{DD} e connessi ad un generatore di corrente I_2 ed

i terminali di emettitore connessi a massa. Il terminale di base di uno dei transistor del primo stadio è connesso alla tensione V_i mentre il terminale di base dell'altro transistor è connesso a massa, il terminale di base di uno dei transistor del secondo stadio è connesso alla tensione S_e mentre il terminale di base dell'altro transistor è connesso ad un riferimento di tensione V_2 di 2,5 V. Le uscite dei due stadi differenziali sono in ingresso ad uno stadio intermedio che pilota un generatore di corrente I_o di uno stadio di uscita che a sua volta scorre su una resistenza R . Il segnale S_m è dato da $S_m = I_o \cdot R$.

Il circuito di figura 11b è una realizzazione circuitale del blocco 50 e del moltiplicatore 4 di figura 9. Detto circuito differisce da quello di figura 11a perché al posto della resistenza R sono disposte tre resistenze R_{10} , R_{20} , R_{30} in serie fra loro e per il fatto che i terminali di emettitore dei transistor del primo e del secondo stadio differenziale aventi i terminali di gate connessi rispettivamente ai segnali V_i e S_m sono connessi rispettivamente ai capi delle resistenze R_{10} e R_{20} ed ai capi delle resistenze R_{20} e R_{30} . Le uscite dei due stadi differenziali sono sempre in ingresso ad uno stadio intermedio che pilota un generatore di una corrente I_{ov} di uno stadio di uscita che a sua volta scorre sulla serie di resistenze R_{10} , R_{20} e R_{30} . Il segnale $Contr$ è dato da:

$$Contr = I_{ov} \cdot (R_{10} + R_{20} + R_{30}) + I_{1a} \cdot (R_{20} + R_{30}) + I_{2a} \cdot R_{30}$$

dove I_{1a} e I_{2a} sono le correnti che circolano rispettivamente nei transistor del primo e del secondo stadio differenziale aventi i terminali di gate connessi rispettivamente ai segnali V_i e S_m .

Le figure 12a, 12b mostrano diagrammi ottenuti in un oscilloscopio che riportano la corrente di rete I_R e la tensione V_{C1} ai capi della capacità C_1 con rispettivamente una tensione $V_{in} = 220VAC$ ed una potenza $P_{in} = 80W$, e con una tensione $V_{in} = 220VAC$ ed una potenza $P_{in} = 40W$.

La figura 13 mostra, nell'intorno di uno zero della tensione di rete, la corrente di rete I_R e la tensione V_{drain} sul terminale di drain del transistor MOS M.

Nella figura 14 è mostrato uno schema di un circuit di un PFC in modo transizione per un alimentatore a commutazione forzata secondo una variante alla seconda forma di realizzazione della presente invenzione. Detto circuito comprende il blocco 50 di figura 4 ed il moltiplicatore 4 che ha in
5 ingresso i segnali V_i e Se e fornisce in uscita il segnale Sm ; il segnale $Contr$ in uscita al blocco 50 viene inviato all'ingresso non invertente del comparatore 5.

Il blocco 50 consente di aggiungere un offset di tensione positiva al segnale Sm in uscita al moltiplicatore 4 solo durante gli istanti di tempo in
10 cui la tensione di rete V_{in} ha un valore prossimo a zero. L'offset di tensione positiva deve essere più alto quanto più alta è la tensione di rete V_{in} e quanto più basso è il carico in uscita. L'offset di tensione positiva è realizzato mediante aggiunta di una porzione del segnale Se al segnale Sm in modo da formare il segnale $Contr$ da inviare all'ingresso non invertente del
15 comparatore 5. Tuttavia tale aggiunta viene effettuata solo quando il segnale V_i è inferiore ad un valore di riferimento V_{th} che preferibilmente è dato dal segnale Se_2 per una costante K_3 ; infatti un comparatore 52 confronta i segnali V_i , che insiste sull'ingresso invertente, e V_{th} , che insiste sull'ingresso non invertente, e se $V_i < V_{th}$ invia un segnale ad un interruttore SW che
20 abilita l'aggiunta del segnale Se_2 al segnale Sm .

Il segnale Se viene sottratto ad un segnale A_4 di valore costante nel tempo ed il segnale risultante viene moltiplicato per una costante K_4 in modo da ottenere il segnale Se_2 che viene aggiunto al segnale Sm per
ottenere il segnale $Contr$.

25 I circuiti di figura 9 e 14 sono integrabili in uno stesso chip con il blocco 51 e l'amplificatore di errore 3 del circuito di controllo 100.

RIVENDICAZIONI

1. Dispositivo per la correzione del fattore di potenza in alimentatori a commutazione forzata operante in modo transizione, comprendente un convertitore (20) ed un dispositivo di controllo (100) accoppiato con detto convertitore in modo da ottenere da una tensione alternata di rete (V_{in}) in ingresso una tensione regolata (V_{out}) sul terminale di uscita, detto convertitore (20) comprendendo un transistor di potenza (M), detto dispositivo di controllo (100) comprendendo un circuito di pilotaggio (51) atto a determinare il periodo di tempo di accensione (T_{on}) e di spegnimento (T_{off}) di detto transistor di potenza (M), caratterizzato dal fatto che detto dispositivo di controllo (100) comprende mezzi di controllo (50) accoppiati a detto circuito di pilotaggio (100) e a detto convertitore (20) e capaci di allungare detto periodo di tempo di accensione (T_{on}) del transistor di potenza (M) in corrispondenza degli istanti di tempo in cui detta tensione alternata di rete (V_{in}) assume sostanzialmente un valore nullo.
2. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che detto convertitore (20) comprende un circuito raddrizzatore (2) di detta tensione di rete in ingresso (V_{in}), detto dispositivo di controllo (100) comprende un amplificatore di errore (3) avente sull'ingresso invertente un primo segnale (V_r) proporzionale a detta tensione regolata (V_{out}) e sul terminale non invertente un segnale di riferimento (V_{ref}), e detto dispositivo di pilotaggio (51) comprende un moltiplicatore (4) avente in ingresso un secondo segnale (V_i) proporzionale alla tensione raddrizzata da detto circuito raddrizzatore (2) ed un segnale errore (S_e) in uscita da detto amplificatore di errore (3), un comparatore (5) atto a confrontare un terzo segnale (S_m) in uscita da detto moltiplicatore (4) ed un quarto segnale (S_{rs}) proporzionale alla corrente che scorre in detto transistor di potenza (M), un quinto segnale in uscita da detto comparatore (5) essendo atto a determinare il periodo di tempo di accensione (T_{on}) e di spegnimento (T_{off}) di detto transistor di potenza (M), detti mezzi di controllo (50) essendo atti ad

elevare il valore di uno di detti terzo (Sm) e quarto (Srs) segnali in ingresso al comparatore (5) in corrispondenza degli istanti di tempo in cui la tensione di rete (Vin) ha un valore sostanzialmente nullo.

5 3. Dispositivo secondo la rivendicazione 2, caratterizzato dal fatto che detti mezzi di controllo (50) comprendono mezzi circuitali (Ra-Rc, Di, Ci) capaci di aggiungere un offset di tensione negativa a detto quarto segnale (Srs).

10 4. Dispositivo secondo la rivendicazione 3, caratterizzato dal fatto che detto convertitore (20) comprende un induttanza (L) disposta fra un terminale non pilotabile di detto transistor di potenza (M) e detto circuito raddrizzatore (2) e detto dispositivo per la correzione del fattore di potenza comprende un avvolgimento ausiliario (L1) di detta induttanza (L), detti
15 mezzi circuitali (Rb-Rd, Di, Ci) essendo connessi a detto avvolgimento ausiliario (L1) e all'uscita di detto amplificatore di errore (3) e determinando detto offset di tensione durante il periodo di tempo di accensione (Ton) di detto transistor di potenza (M) quando il segnale di tensione ai capi di detto avvolgimento ausiliario (L1) assume un valore negativo.

20 5. Dispositivo secondo la rivendicazione 4, caratterizzato dal fatto che detti mezzi circuitali (Rb-Rd, Di, Ci) comprendono un diodo (Di) avente il catodo connesso a detto avvolgimento ausiliario (L1) e l'anodo connesso sia ad un terminale di un condensatore (Ci) avente l'altro terminale connesso a massa che ad un terminale di una prima resistenza (Rb) avente l'altro
25 terminale connesso all'ingresso del comparatore (5) su cui è presente detto quarto segnale (Srs), una seconda resistenza (Rc) disposta tra l'uscita di detto amplificatore di errore (3) e l'ingresso del comparatore (5) su cui è presente detto quarto segnale (Srs).

30 6. Dispositivo secondo la rivendicazione 5, caratterizzato dal fatto che detti mezzi circuitali (Rb-Rd, Di, Ci) comprendono una terza resistenza (Rd) su un terminale della quale insiste detto secondo segnale (Vi) ed avente l'altro terminale connesso all'ingresso del comparatore (5) su cui è presente

detto quarto segnale (Srs).

5 7. Dispositivo secondo la rivendicazione 2, caratterizzato dal fatto che detti mezzi di controllo (50) comprendono un circuito (A2, K2, A1, K1) capace di aggiungere una porzione (Vi1, Se1) di uno fra il secondo segnale (Vi) e il segnale di errore (Se) al terzo segnale (Sm) in uscita da detto moltiplicatore (4).

10 8. Dispositivo secondo la rivendicazione 7, caratterizzato dal fatto che uno fra il secondo segnale (Vi) e il segnale di errore (Se) viene sottratto ad un segnale di livello costante (A1, A2) e viene moltiplicato per una costante (K1, K2) per ottenere detta porzione di segnale (Vi1, Se1) da aggiungere a detto terzo segnale (Sm).

15 9. Dispositivo secondo la rivendicazione 2, caratterizzato dal fatto che detti mezzi di controllo (50) comprendono un circuito (A2, K2, A1, K1) capace di aggiungere una prima porzione (Vi1) del secondo segnale (Vi) ed una seconda porzione (Se1) del segnale di errore (Se) al terzo segnale (Sm) in uscita da detto moltiplicatore (4).

20 10. Dispositivo secondo la rivendicazione 9, caratterizzato dal fatto che il secondo segnale (Vi) e il segnale di errore (Se) vengono sottratti a segnali di livello costante (A1, A2) e vengono moltiplicati per una costante (K1, K2) per ottenere detta prima (Vi1) e seconda (Se1) porzione di segnale da aggiungere a detto terzo segnale (Sm).

25 11. Dispositivo secondo la rivendicazione 2, caratterizzato dal fatto che detti mezzi di controllo (50) comprendono un circuito (52, A4, K3, K4) capace di aggiungere una porzione (Se2) del segnale errore (Se) al terzo segnale (Sm) in uscita da detto moltiplicatore (Sm) quando detto secondo segnale (Vi) è inferiore ad un valore prefissato (Vth).

30 12. Dispositivo secondo la rivendicazione 11, caratterizzato dal fatto che il segnale di errore (Se) viene sottratto ad un segnale di livello costante (A4) e viene moltiplicato per una costante (K4) per ottenere detta porzione di segnale (Se2) da aggiungere a detto terzo segnale (Sm) solo se detto

secondo segnale (V_i) è inferiore a detto valore prefissato (V_{th}).

13. Dispositivo secondo la rivendicazione 12, caratterizzato dal fatto che detto valore prefissato (V_{th}) è dato da detta porzione di segnale (Se_2) moltiplicata per una costante (K_3).

5 14. Dispositivo secondo la rivendicazione 7 o 9 o 11, caratterizzato dal fatto che detti mezzi di controllo (50) sono integrabili in un chip con il circuito di pilotaggio (51) di detto dispositivo di controllo (100).

“Dispositivo per la correzione del fattore di potenza in alimentatori a commutazione forzata operante in modo transizione.”

* * * *

RIASSUNTO

5 E' descritto un dispositivo per la correzione del fattore di potenza in alimentatori a commutazione forzata operante in modo transizione. Il dispositivo comprende un convertitore (20) ed un dispositivo di controllo (100) accoppiato con detto convertitore in modo da ottenere da una tensione alternata di rete (V_{in}) in ingresso una tensione regolata (V_{out}) sul terminale di uscita. Il convertitore (20) comprende un transistor di potenza (M) ed il
10 dispositivo di controllo (100) comprende un circuito di pilotaggio (51) atto a determinare il periodo di tempo di accensione (T_{on}) e di spegnimento (T_{off}) di detto transistor di potenza (M) e mezzi di controllo (50) accoppiati a detto circuito di pilotaggio (51) e a detto convertitore e capaci di allungare detto
15 periodo di tempo di accensione (T_{on}) del transistor di potenza (M) in corrispondenza degli istanti di tempo in cui la tensione alternata di rete (V_{in}) assume sostanzialmente un valore nullo. (Figura 4)

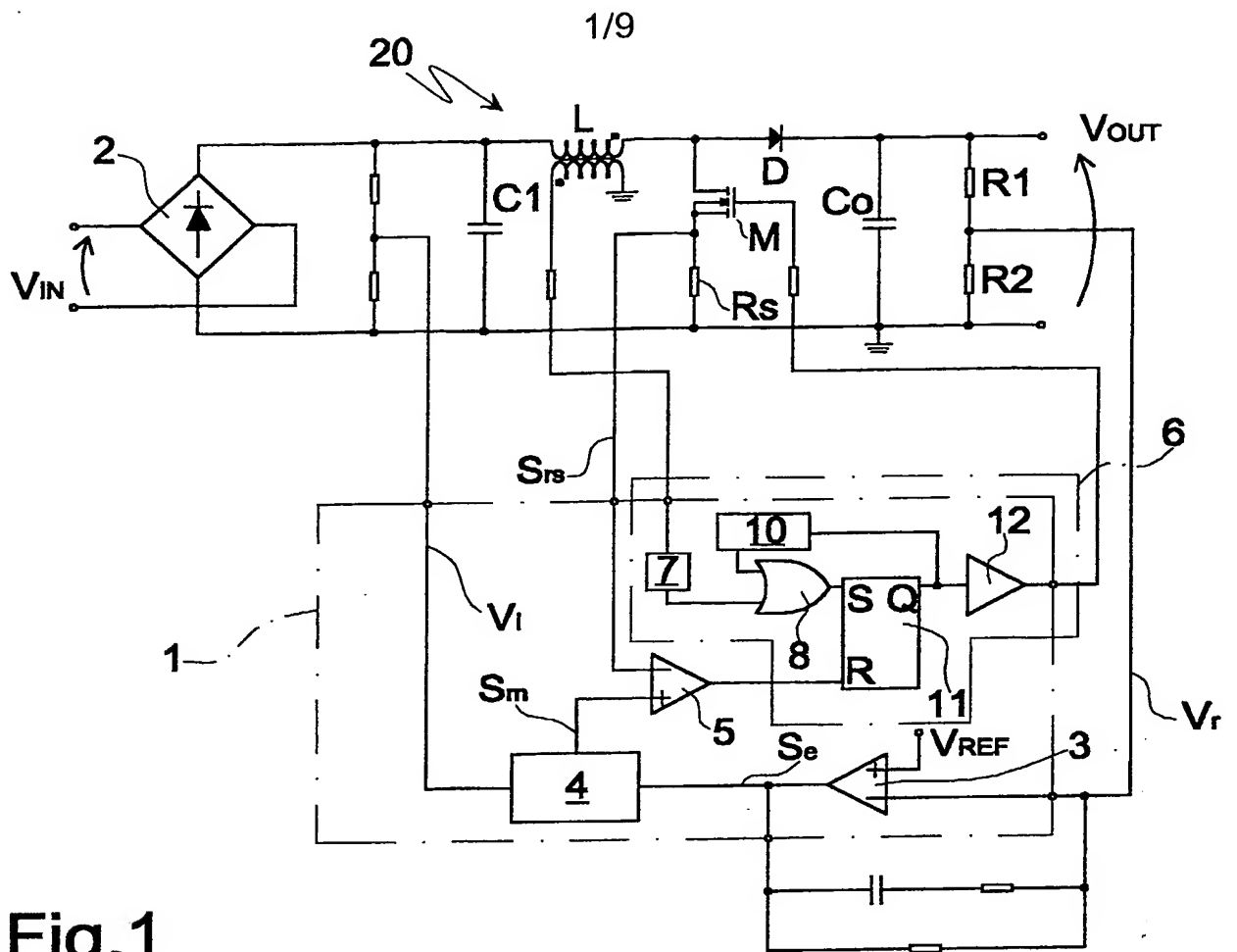


Fig.1

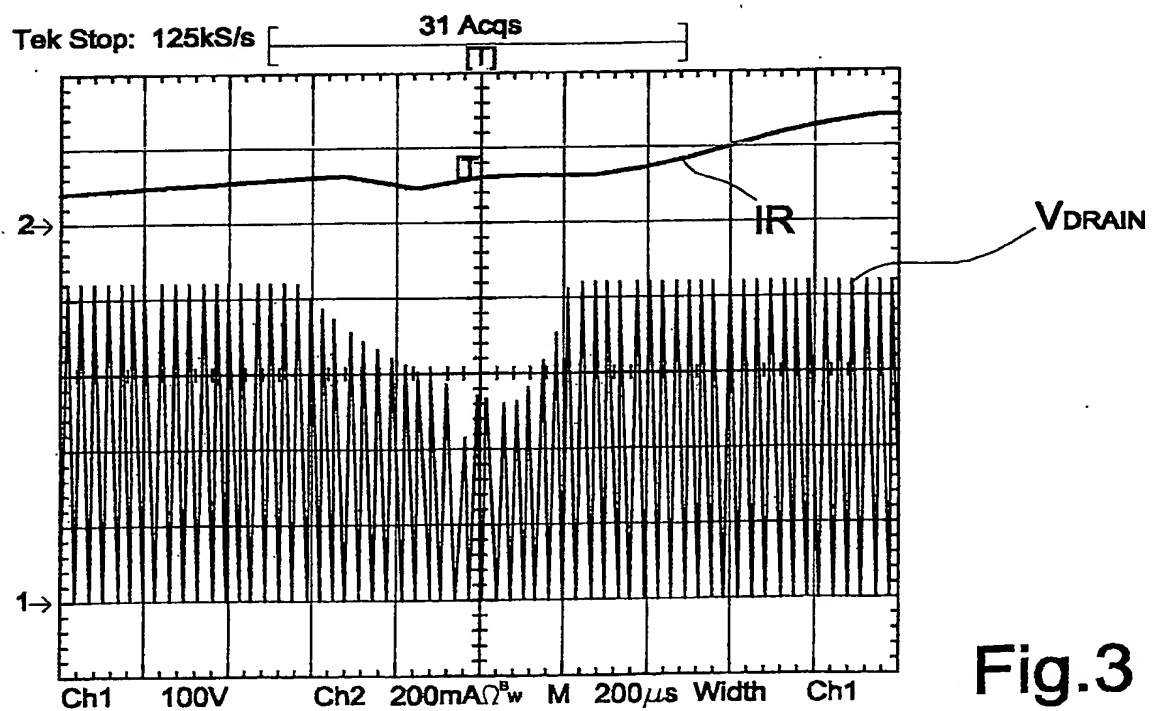


Fig.3

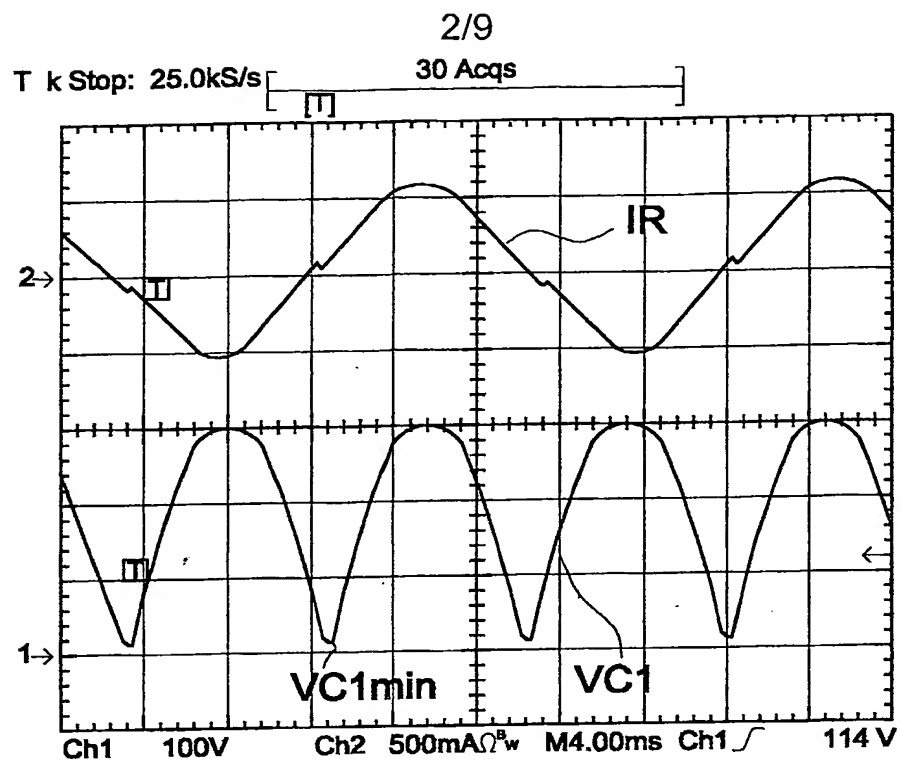


Fig.2a

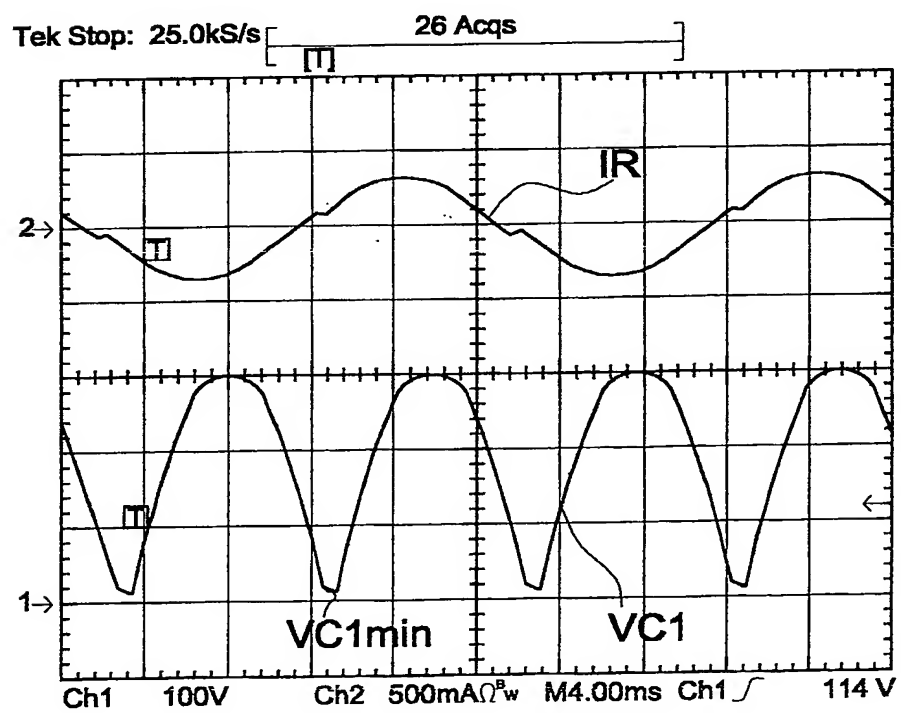


Fig.2b

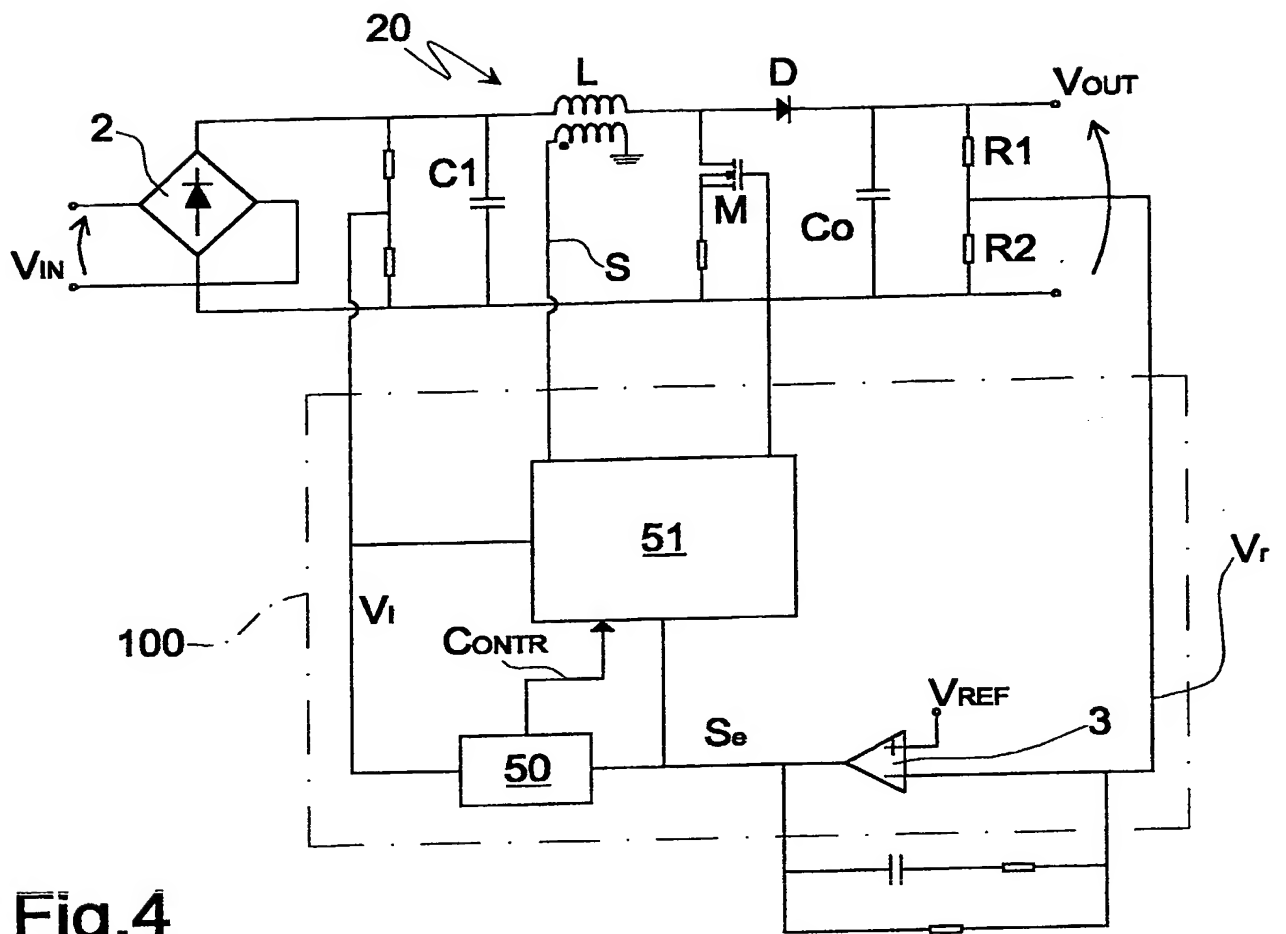


Fig.4

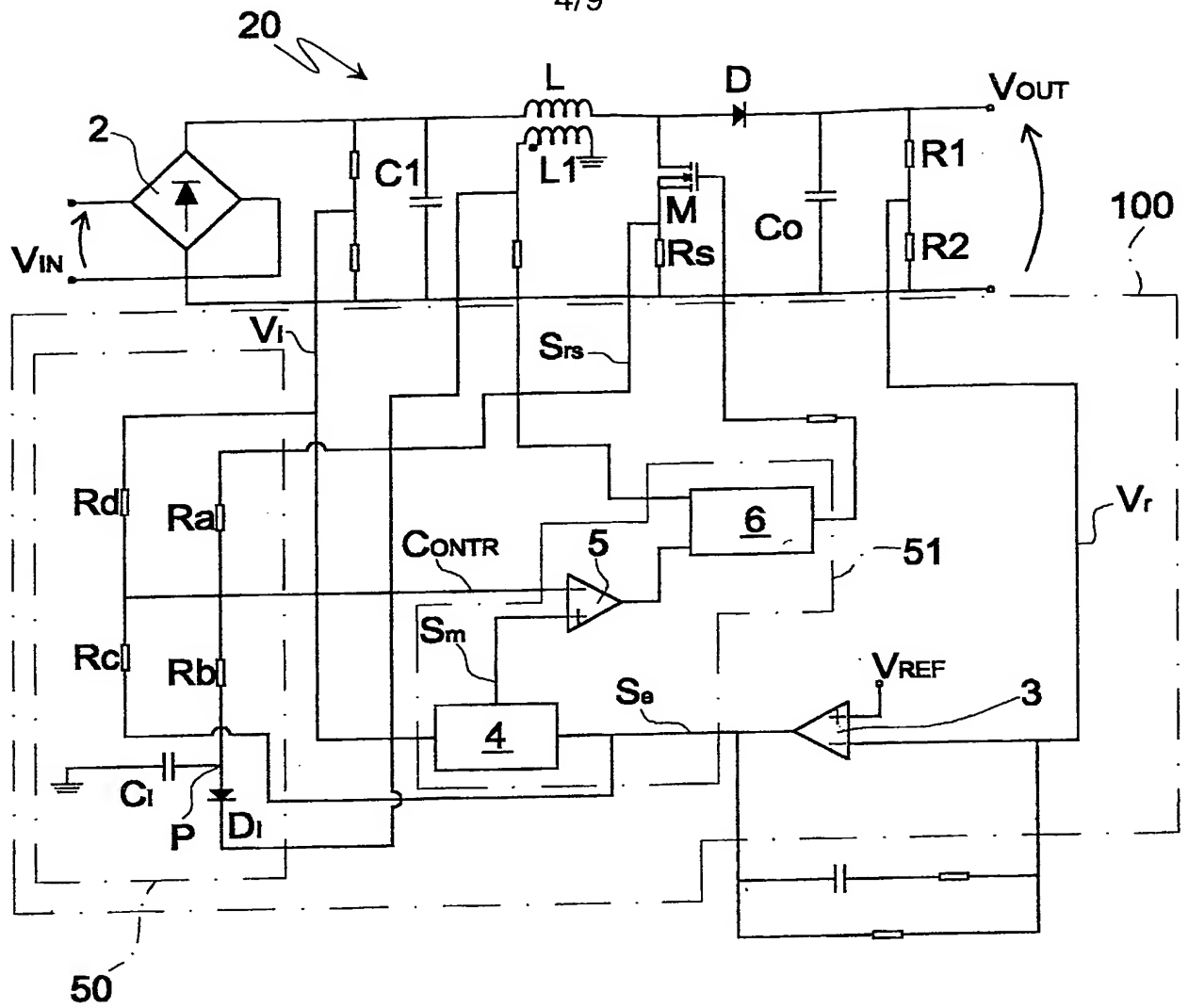


Fig.5

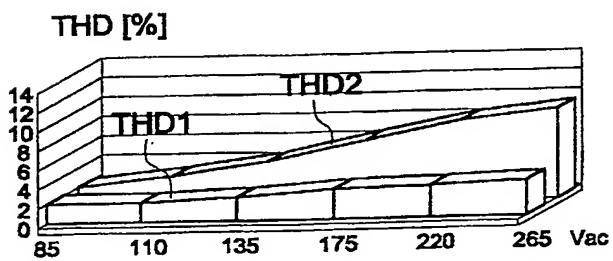


Fig.8a

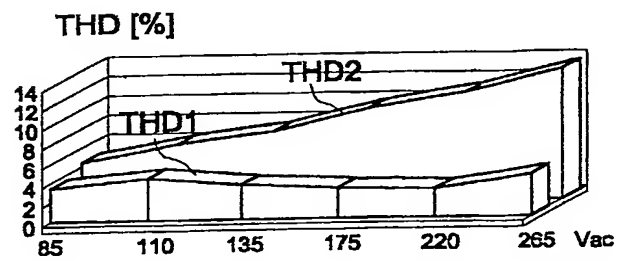


Fig.8b

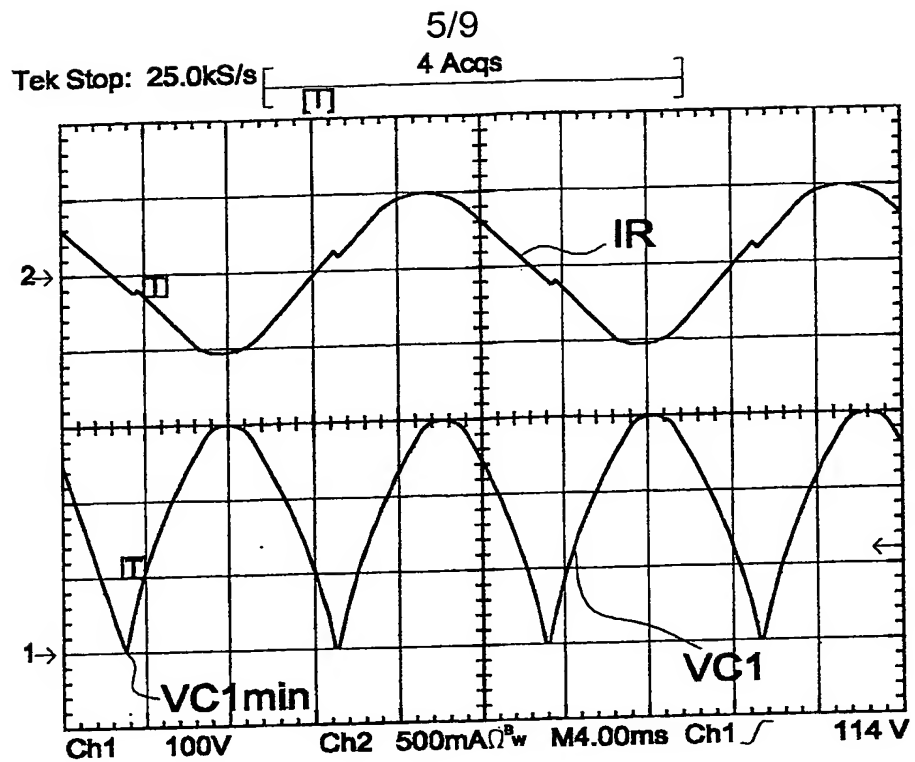


Fig.6a

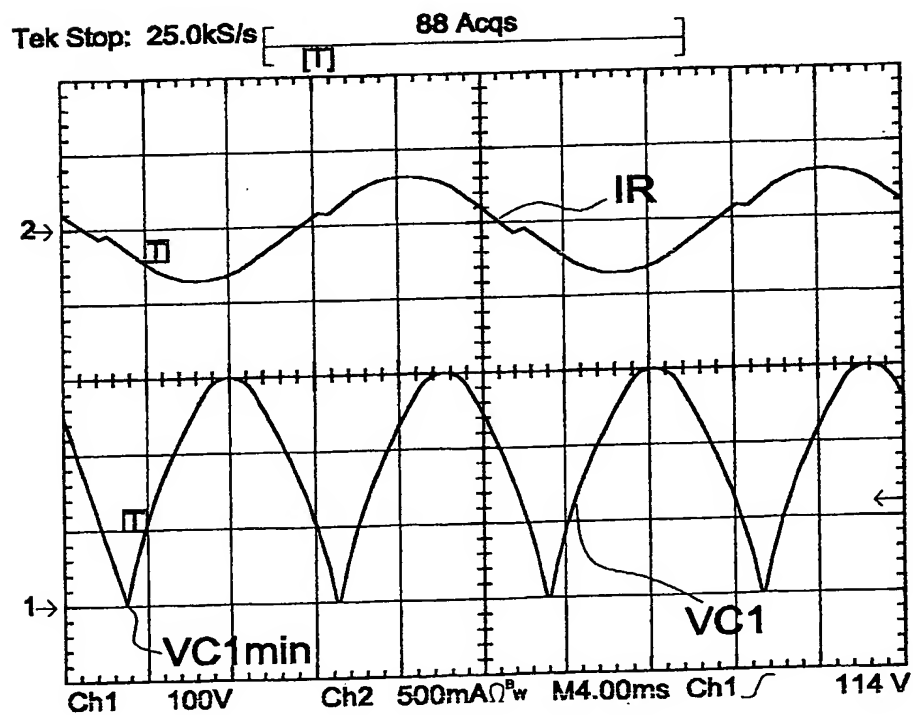


Fig.6b

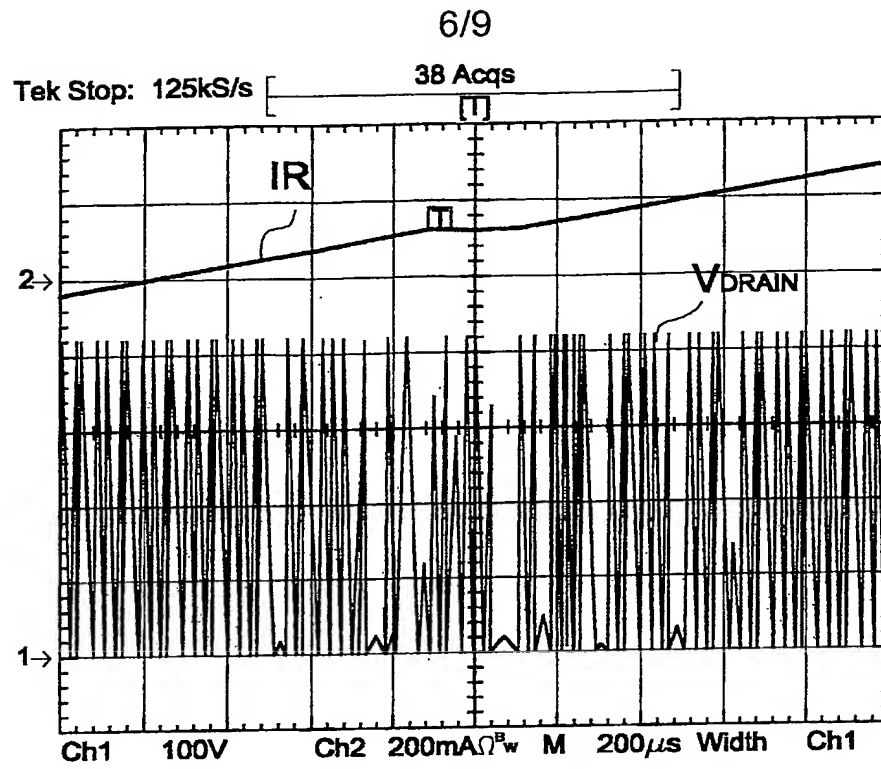


Fig.7

Fig.9

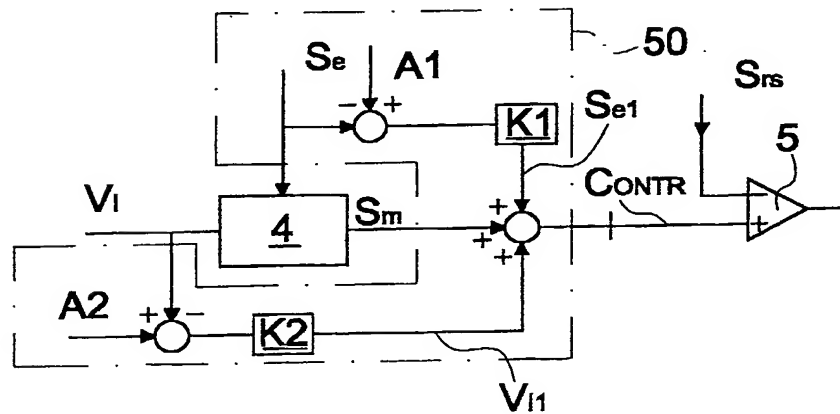


Fig.10

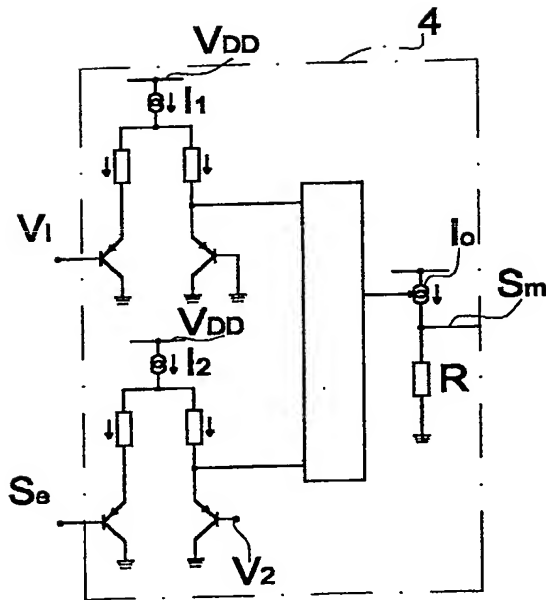
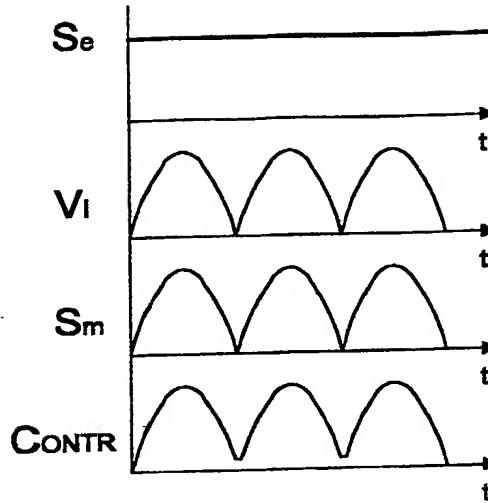


Fig.11a

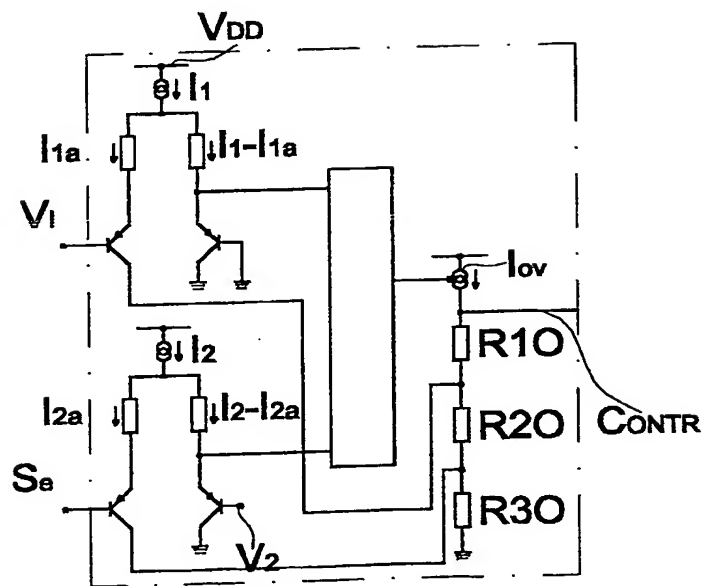


Fig.11b

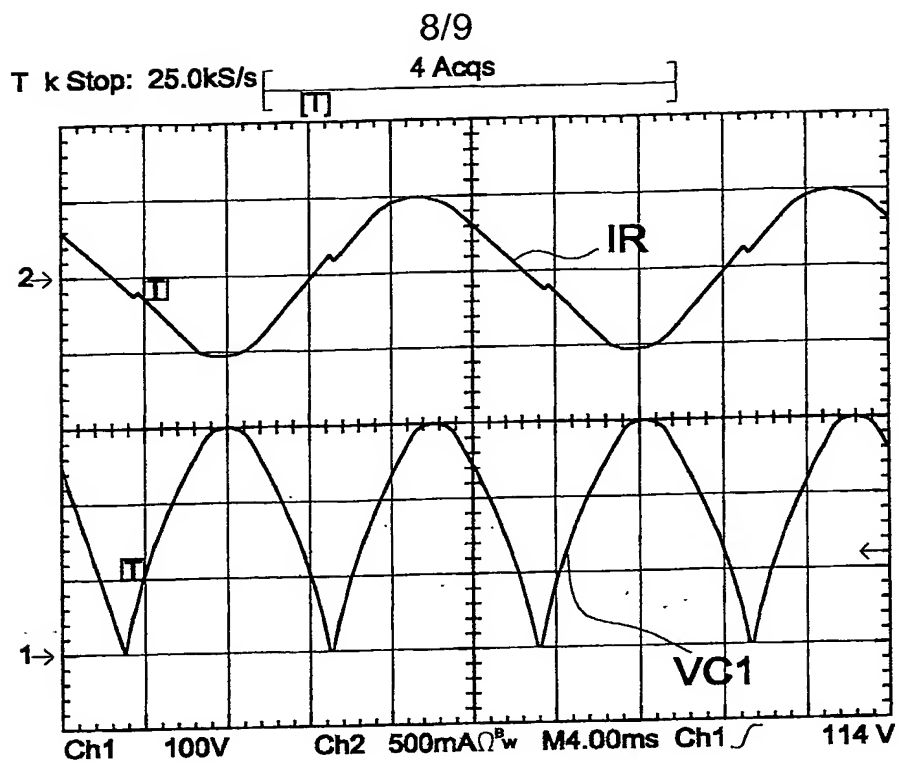


Fig.12a

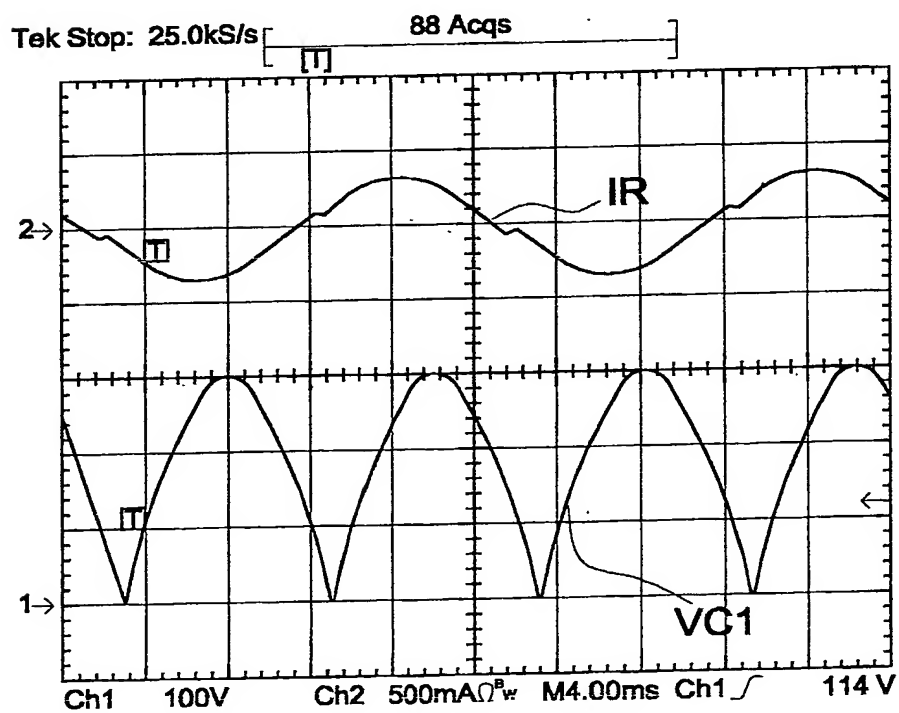


Fig.12b

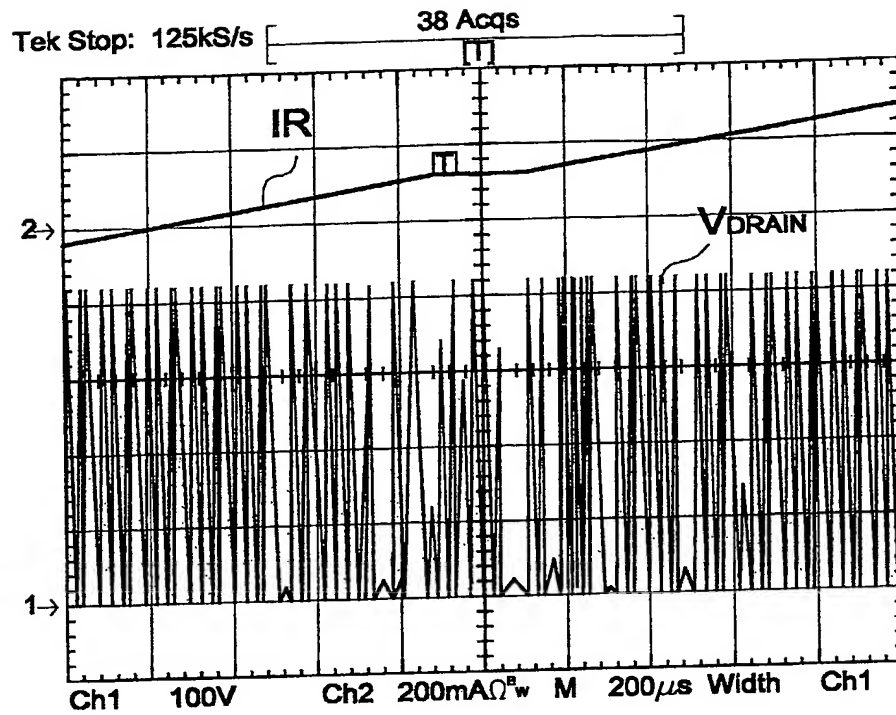


Fig.13

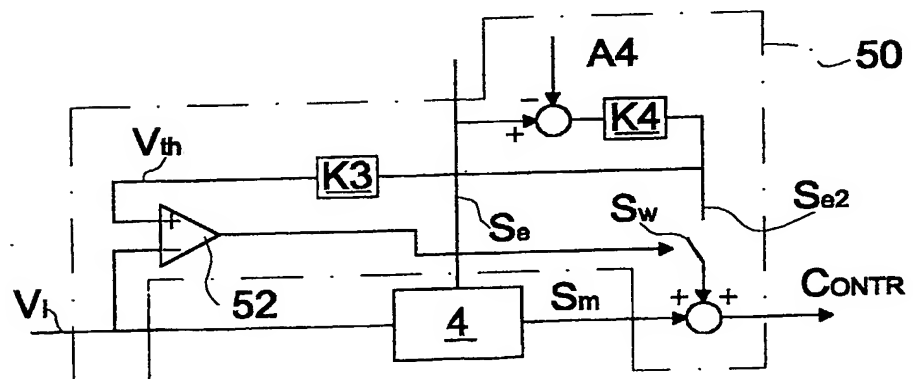


Fig.14

